

(19)



JAPANESE PATENT OFFICE

7

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **01218247 A**

(43) Date of publication of application: **31.08.89**

(51) Int. Cl.

H04L 25/02
H04B 9/00
// H04L 25/49

(21) Application number: **63043377**

(71) Applicant: **NEC CORP**

(22) Date of filing: **26.02.88**

(72) Inventor: **KAMATA KICHIYOSHI**

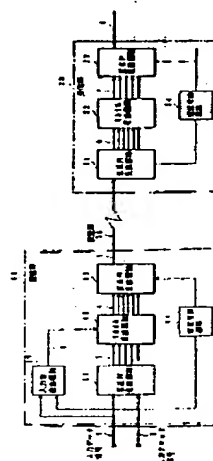
(54) DIGITAL TRANSMISSION SYSTEM

(57) Abstract:

PURPOSE: To satisfy an nBmB code rule with a simple constitution by sending the repeating of a block constituted by an arbitrary (m) number of bits as an AIS signal when an input signal to a repeater is turned off.

CONSTITUTION: An input data signal 1 and an input clock signal are inputted to a transmitting part 10 and converted to five parallel signals 3 by a serial parallel converting circuit 11. The parallel signals 3 are converted to six parallel signals 4 from a 5B6B converting circuit 12, converted to a serial signal 5 by a parallel serial converting circuit 13 and sent to a transmission line 30. When the input is turned off, a control signal 9 is sent to the 5B6B converting circuit 12 and an AIS signal is sent to the transmission line 30. At this time, for example, the repeating signal of the block of 101001 is outputted as the AIS signal. Consequently, the noncoincidence becomes 0 and an external oscillator for the noncoincidence detection at a 5B side is image unnecessary.

COPYRIGHT: (C)1989,JPO&Japio



⑫ 公開特許公報(A) 平1-218247

⑬ Int. Cl.⁴ 識別記号 庁内整理番号 ⑭ 公開 平成1年(1989)8月31日
 H 04 L 25/02 3 0 1 H-7345-5K
 H 04 B 9/00 K-8523-5K
 H 04 L 25/02 3 0 1 E-7345-5K
 // H 04 L 25/49 A-7345-5K 審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 デジタル伝送方式

⑯ 特 願 昭63-43377

⑰ 出 願 昭63(1988)2月26日

⑱ 発 明 者 鎌 田 吉 喜 東京都港区芝5丁目33番1号 日本電気株式会社内
 ⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
 ⑳ 代 理 人 弁理士 井出 直孝

明 細 書

1. 発明の名称

デジタル伝送方式

2. 特許請求の範囲

1. 入力データ信号を複数 n 個の並列信号に変換出力する直並列変換回路(11)と、前記 n 個の並列信号を複数 m 個の並列信号に変換出力する $nBmB$ 変換回路(12)と、前記入力データ信号断を検出し制御信号を前記 $nBmB$ 回路に対して出力する入力断検出回路(15)とを含み、前記 $nBmB$ 変換回路は前記制御信号が入力されたとき所定の固定パターン信号を送出する固定パターン信号送出手段を含む中継器を備えたデジタル伝送方式において、

前記固定パターン信号送出手段は、任意の m 個のビットで構成された同一符号のブロックの繰り返しを前記固定パターン信号として送出手段である

ことを特徴とするデジタル伝送方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はデジタル伝送分野に利用される。

本発明はデジタル伝送方式に関し、特に、 $nBmB$ 符号を送送路信号に用い、入力信号断のとき所定の固定パターン信号(以下、AIS信号という。)を送出する中継器を備えた光デジタル伝送方式に関する。

〔概要〕

本発明は、 $nBmB$ 符号を送送路信号として用いるデジタル伝送方式において、

中継器への入力信号が断となったとき、任意の m 個のビットで構成されたブロックの繰り返しを AIS 信号として送出手段により、

簡単な構成で $nBmB$ 符号則を満足できるようにしたものである。

〔従来の技術〕

従来、光デジタル伝送方式において、この AIS 信号は、低次群信号入力断となったときに、伝送路への送信信号として「1」を送出していた。

第2図は従来の光ディジタル伝送方式の一例の要部を示すブロック構成図で、一つの中継器の送信部とその中継器に伝送路を介して接続された他中継器の受信部とを示す。

送信部10に入力データ信号1と入力クロック信号2が入力され、直並列変換回路11により5個の並列信号3に変換される。この並列信号3は5B6B変換回路12により6個の並列信号4に変換され、さらに並直列変換回路13により直列信号5に変換され伝送路30に送出される。一方、入力クロック信号2は速度変換回路14により1.2倍に速度が変換される。

伝送路30を通過して受信部20へ送られてきた直列信号5は、直並列変換回路21により6個の並列信号6に変換され、さらに6B5B変換回路22で5個の並列信号7に変換され、並直列変換回路23により直列信号8となる。また速度変換は速度変換回路24により0.83倍に速度変換される。

入力データ信号1と入力クロック信号2の入力断が入力断検出回路15により検出されると、入力

断検出回路15は制御信号9を5B6B変換回路12に対して出力する。5B6B変換回路12は制御信号9により、AIS信号として、オール「1」すなわち、「110101」と「001010」とが交互になるように送出する。

(発明が解決しようとする問題点)

しかし、入力クロック信号2が断のときは、入力データ信号1の不一致(disparity)検出ができないので、5B6B符号則を満足させることができない。そこで、5B6B符号則を満足させるために、外部に発振器16をもたせて不一致検出を行う必要があるが、回路規模および消費電力が増大する欠点があった。

本発明の目的は、前記の欠点を除去することにより、簡単な構成で5B6B符号則を満足できるディジタル伝送方式を提供することにある。

(問題点を解決するための手段)

本発明は、入力データ信号を複数 n 個の並列信号に変換出力する直並列変換回路と、前記 n 個の並列信号を複数 m 個の並列信号に変換出力する $nBmB$

変換回路と、前記入力データ信号断を検出し制御信号を前記 $nBmB$ 回路に対して出力する入力断検出回路とを含み、前記 $nBmB$ 変換回路は前記制御信号が入力されたとき所定の固定パターン信号を送出する固定パターン信号送出手段を含む中継器を備えたディジタル伝送方式において、前記固定パターン信号送出手段は、任意の m 個のビットで構成された同一符号のブロックの繰り返しを前記固定パターン信号として送出する手段であることを特徴とする。

(作用)

固定パターン信号送出手段は、AIS信号として、任意の M 個のビットで構成されたブロックの繰り返し、例えば5B6B符号則の場合、「101001」の繰り返し信号をAIS信号として送出する。

従って、不一致は0となり、 nB 個(例えば5B個)での不一致検出が不要となり、従来のように外部発振器を必要とせず、回路規模が小さくなるとともに、入力クロック信号が断となっても $nBmB$ (例

えば5B6B)符号則を満足させることが可能となる。

(実施例)

以下、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の要部を示すブロック構成図で、一つの中継器の送信部とその中継器に伝送路を介して接続された他中継器の受信部とを示す。

本実施例は、入力データ信号1を5個の並列信号3に変換出力する直並列変換回路11と、5個の並列信号3を6個並列信号4に変換出力する5B6B変換回路12と、入力データ信号断を検出し制御信号9を5B6B変換回路12に対して出力する入力断検出回路15とを含み、5B6B変換回路12は制御信号9が入力されたとき所定のAIS信号を送出する図外の固定パターン信号送出手段を含む中継器を備えたディジタル伝送方式において、

前記固定パターン信号送出手段として、任意の6個のビットで構成された同一符号のブロックの繰り返しを前記AIS信号として送出する図外の

手段を有している。

なお、第1図において、13は6個の並列信号を直列信号5に変換して伝送路30へ送出する並直列変換器、14は入力クロック信号2の速度を1.2倍に変換する速度変換回路であり、直並列変換回路11、586B変換回路12、並直列変換回路13、速度変換回路14および入力断検出回路15は一つの中継器の送信部10に含まれる。

また、20は他中継器の受信部であり、伝送路30から入力される直列信号5を6個の並列信号6に変換する並直列変換回路21と、並列信号6を5個の並列信号7に変換する685B変換回路22と、並列信号7を直列信号8に変換出力する並直列変換回路23と、回路速度を0.83倍に変換する速度変換回路24とを含んでいる。

本発明の特徴は、第1図において、第2図に示した従来例における発振器16を取外し、586B変換回路12内に、A I S信号として、任意のm個のビットで構成されたブロックの繰り返し信号を送出する図外の固定パターン信号送出手段を設けたこ

る。

A I S信号としては上記例の他任意のmビットの固定パターンを用い、これがあらかじめ定められていればどのようなパターンであってもよい。

なお、以上の説明においては、nBmB符号則として586B符号則を用いたけれども、本発明は一般にnBmB符号則に対して適用される。

〔発明の効果〕

以上説明したように、本発明は、不一致検出が不要となり、回路規模も小さくてすみ、かつ入力クロック信号が断とってもnBmB符号則を満足する効果がある。

4. 図面の簡単な説明

第1図は本発明の一実施例の要部を示すブロック構成図。

第2図は従来例の要部を示すブロック構成図。

1…入力データ信号、2…入力クロック信号、3、4、6、7…並列信号、5、8…直列信号、9…制御信号、10…送信部、11、21…直並列変換

とにある。

次に、本実施例の動作について説明する。

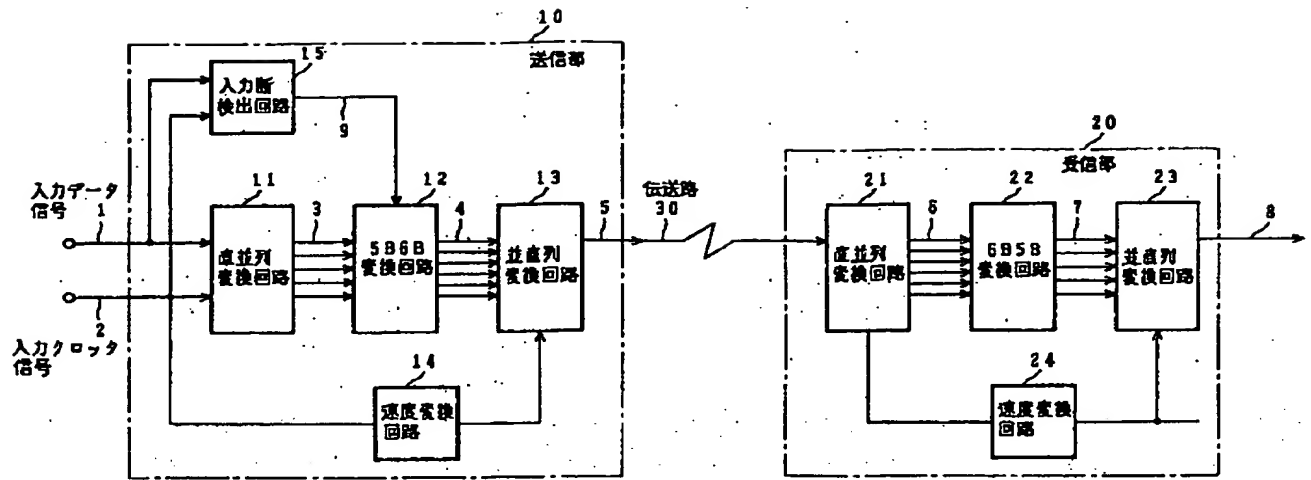
送信部10に入力データ信号1と入力クロック信号2とが入力され、直並列変換回路11により5個の並列信号3に変換される。この並列信号3は586B変換回路12より6個の並列信号4に変換されて、並直列変換回路13により直列信号5に変換され伝送路30に送出される。また、入力信号断検出回路15により入力データ信号1と入力クロック信号2とが監視され、入力断時には586B変換回路12に制御信号9が送られ、伝送路30にA I S信号が送出される。受信部20では送られてきた直列信号5を直並列変換回路21により6個の並列信号6に変換され、685B変換回路22で5個の並列信号6に変換され、並直列変換回路23により直列信号8になる。

そして、前記A I S信号としては、例えば、「101001」のブロックの繰り返し信号が出力される。

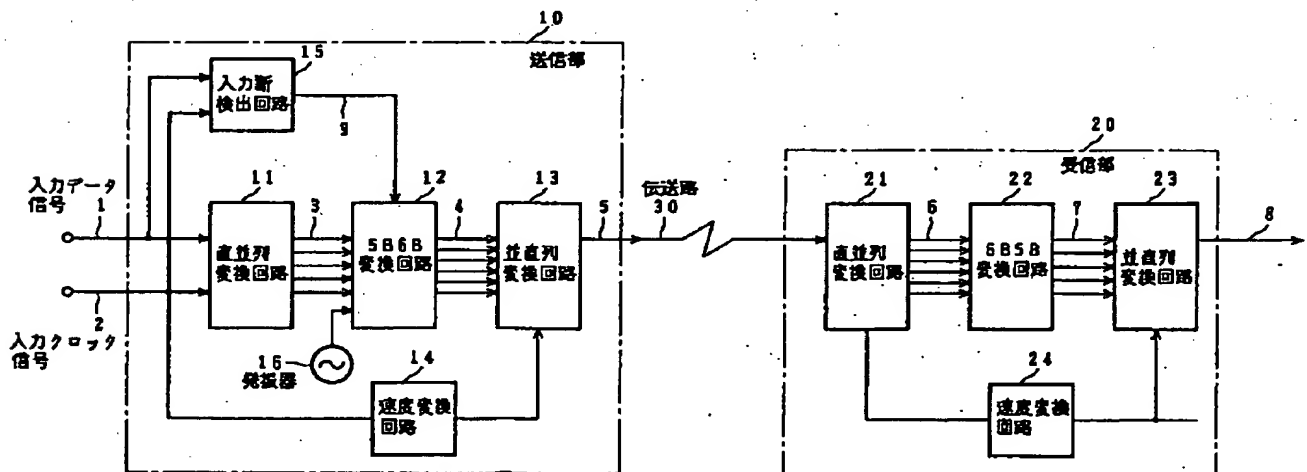
従って、不一致が0となり、5B側での不一致検出は不要となるとともに、586B符号則が満足され

回路、12…586B変換回路、13、23…並直列変換回路、14、24…速度変換回路、15…入力断検出回路、16…発振器、20…受信部、22…685B変換回路、30…伝送路。

特許出願人 日本電気株式会社
代理人 弁理士 井出直孝



実施例の構成
第 1 図



従来例の構成
第 2 図